

PCT

REC'D 15 JUL 2004

WIPO

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT 36条及びPCT規則70]

出願人又は代理人 の書類記号 03NPCT003	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/14731	国際出願日 (日.月.年) 19.11.2003	優先日 (日.月.年) 20.11.2002
国際特許分類(IPC) Int. Cl <sup>7</sup> H01L 25/065, H01L 25/07, H01L 25/18 H01L 23/12		
出願人(氏名又は名称) 日本電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT 36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で 6 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT 35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日  
19.11.2003国際予備審査報告を作成した日  
28.06.2004

名称及びあて先  
日本国特許庁(IPEA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

4R

9169

今井 拓也

電話番号 03-3581-1101 内線 3469

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 1-4, 7-18 ページ、出願時に提出されたもの  
明細書 第 \_\_\_\_\_ ページ、国際予備審査の請求書と共に提出されたもの  
明細書 第 5-6 ページ、10.05.2004 付の書簡と共に提出されたもの

- ☒ 請求の範囲 第 1-3, 5 項、出願時に提出されたもの  
請求の範囲 第 \_\_\_\_\_ 項、PCT19条の規定に基づき補正されたもの  
請求の範囲 第 \_\_\_\_\_ 項、国際予備審査の請求書と共に提出されたもの  
請求の範囲 第 4, 6-8 項、10.05.2004 付の書簡と共に提出されたもの

- ☒ 図面 第 1-29 ページ/図、出願時に提出されたもの  
図面 第 \_\_\_\_\_ ページ/図、国際予備審査の請求書と共に提出されたもの  
図面 第 \_\_\_\_\_ ページ/図、付の書簡と共に提出されたもの

- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、出願時に提出されたもの  
明細書の配列表の部分 第 \_\_\_\_\_ ページ、国際予備審査の請求書と共に提出されたもの  
明細書の配列表の部分 第 \_\_\_\_\_ ページ、付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出された磁気ディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)	請求の範囲 1-8 請求の範囲	有 無
進歩性 (IS)	請求の範囲 4, 7 請求の範囲 1-3, 5, 6, 8	有 無
産業上の利用可能性 (IA)	請求の範囲 1-8 請求の範囲	有 無

## 2. 文献及び説明 (PCT規則70.7)

## 請求の範囲 1, 8

文献1: JP 8-340021 A (株式会社日立製作所) 1996.12.24

【0030】-【0045】【0058】【0059】【図14】

には、回路面上に複数の電極が形成された半導体デバイスと、配線パターンとこの配線パターンの片面又は両面に設けられたポリイミドフィルムとを有して半導体デバイスの周囲に折り曲げられる可撓性基板とを有し、可撓性基板は、半導体デバイス側の面に設けられて半導体デバイスのデバイス側電極に接続されると共に熱可塑性絶縁層により封止された第1電極と、第1電極が設けられた面とは異なる面に設けられた第2電極とを有し、可撓性基板には複数層の配線パターンが形成されている電子部品、また、得られた電子部品を積層することが記載されている。

電子部品の技術分野において、熱可塑性を有するポリイミドフィルムを用いることは周知の技術的事項であるから、文献1に記載されているポリイミドフィルムを熱可塑性を有するポリイミドとすることは、当業者にとって自明な事項である。

## 請求の範囲 2, 8

文献2: JP 8-335663 A (ソニー株式会社) 1996.12.17

【0031】-【0033】【0046】

には、ベアチップ周囲に設けられる可撓性の再配線用フィルムの折り曲げ部に溝を設ける技術が記載されている。

文献1に記載されている可撓性フィルムの曲げ部に、文献2に記載されている折り曲げ部に溝を設ける技術を適用することは、当業者にとって自明な事項である。

## 請求の範囲 3, 5, 8

文献3: JP 2001-308261 A (セイコーエプソン株式会社)

2001.11.02

【0012】-【0028】

には、可撓性基板にキャビティを形成し、キャビティ内に半導体デバイスを収容する技術が記載されている。

文献1-3に記載されている発明を適宜寄せ集めることは、当業者にとって自明な事項である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V. 2 欄の続き

請求の範囲 4, 7

国際調査報告で列記した文献には、半導体デバイスの周囲に折り曲げられる可撓性基板と、可撓性基板は、半導体デバイス側の面に設けられ、半導体デバイスのデバイス側電極に接続されると共に熱可塑性の絶縁材料により封止された第1電極と、第1電極が設けられた面とは異なる面に設けられた第2電極を有し、可撓性基板は、折り曲げられた可撓性基板同士が直接接続される部位に生じる凹部に半導体デバイスを収容する構成が、記載も示唆もされていない。

請求の範囲 6, 8

文献1には、回路面上に1又は複数の電極が形成された半導体デバイスと、配線パターンとこの配線パターンの片面又は両面に設けられたポリイミドフィルムを有し、半導体デバイスの周囲に折り曲げられる可撓性基板と、可撓性基板は、半導体デバイス側の面に設けられ、半導体デバイスのデバイス側電極に接続されると共に熱可塑性の絶縁材料により封止された第1電極と、第1電極が設けられた面とは異なる面に設けられた第2電極を有し、可撓性基板は、折り曲げられた可撓性基板同士が直接接続される部位を含むマルチチップ半導体装置、が記載されている。

電子部品の技術分野において、熱可塑性を有するポリイミドフィルムを用いることは周知の技術的事項であるから、文献1に記載されているポリイミドフィルムを熱可塑性を有するポリイミドとすることは、当業者にとって自明な事項である。

力端子を格子状に配置し、かつ、その格子状の配置の1篇の配置数が増大した場合、その配列には引き回しの可否が生じる。このため、配列に制約が生じる。このような課題を解決する方法として、使用する可撓性基板に設計の自由度を増加させる工夫が必要となる。

5

# 発明の開示

本発明の目的は、半導体パッケージの外形寸法及び再配線の設計自由度を半導体デバイスに依存しないものとし、3次元実装化を容易にする半導体パッケージ及び3次元積層型半導体パッケージを提供することにある。

- 10 本発明に係る半導体パッケージは、回路面上に1又は複数のデバイス側電極が形成された半導体デバイスと、配線パターンとこの配線パターンの片面又は両面に設けられた熱可塑性の絶縁層とを有して前記半導体デバイスの周囲に折り曲げられる可撓性基板とを有し、前記可撓性基板は、前記半導体デバイス側の面に設けられて前記半導体デバイスの前記デバイス側電極に接続されると共に前記熱可塑性絶縁層により封止された第1電極と、前記第1電極が設けられた面とは異なる面に設けられた第2電極と、を有し、前記可撓性基板には少なくとも2層以上の配線パターンが形成されていることを特徴とする。

- 20 この半導体パッケージにおいて、前記可撓性基板の折り曲げ部又は折り曲げ部を含む領域に、溝又は配線層数が少ない部位を形成することが好ましい。また、前記可撓性基板にキャビティが形成され、前記キャビティ部に前記半導体デバイスが收容されるように構成することができる。

- 25 本発明に係る他の半導体パッケージは、回路面上に1又は複数のデバイス側電極が形成された半導体デバイスと、配線パターンとこの配線パターンの片面又は両面に設けられた熱可塑性の絶縁層とを有し、前記半導体デバイスの周囲で折り曲げられた可撓性基板と、を有し、前記可撓性基板は、前記半導体デバイス側の面に設けられて前記半導体デバイスのデバイス側電極に接続されると共に前記熱

可塑性絶縁層により封止された第1電極と、前記第1電極が設けられた面とは異なる面に設けられた第2電極と、を有し、前記可撓性基板は、折り曲げ部で折り

返されて相互に直接接着された部位を含むことを特徴とする。

この半導体パッケージにおいて、前記可撓性基板が折り返されて直接接着された部位により生じる凹部に半導体デバイスを収容することができる。

また、本発明に係る積層型半導体パッケージは、上述の本発明に係る半導体パッケージが、複数個、前記電極を介して電氣的に接続されると共に、積層されていることを特徴とする。この場合に、複数個の半導体パッケージは、同じ構造のものでも良いし、構造が異なる半導体パッケージを複数個積層したものでもよい。

本発明においては、上記課題を解決するために、半導体パッケージに使用する可撓性基板に少なくとも2層以上の配線パターンが形成された可撓性基板を使用する。また、2層以上の配線パターンが形成された可撓性基板を使用した場合に、この可撓性基板を半導体デバイスの外形に沿って折り曲げた構造にするために、折り曲げを容易にするために、この折り曲げ部に溝を形成するか、又は配線層数を小さくして薄層部を形成する。

また、可撓性基板に複数の配線層を導入することによる可撓性基板の厚さの増加、即ち半導体パッケージの厚さの増加を低減する手段として、可撓性基板にキャビティを形成する構造を導入する。

また、半導体パッケージの外形寸法を自由に選定できるように、折り曲げられた可撓性基板同士が直接接着される構造を導入する。

本発明の半導体パッケージによれば、外形寸法及び半導体パッケージ間の接続を担うアウターバンプの配置を自由に設計することが可能になり、外形寸法及び入出力端子数が異なる異種半導体デバイスをパッケージ化して3次元的に実装することが可能となる。

即ち、本発明の半導体パッケージ及び積層半導体パッケージによれば、複数の半導体デバイスを薄型化したパッケージに収めることが可能となると共に、半導体デバイスの入出力端子数及び外形寸法等からの制約を受けることなく積層して

## 請 求 の 範 囲

1. 回路面上に1又は複数のデバイス側電極が形成された半導体デバイスと、  
配線パターンとこの配線パターンの片面又は両面に設けられた熱可塑性の絶縁

5 層とを有して前記半導体デバイスの周囲に折り曲げられる可撓性基板と、  
を有し、

前記可撓性基板は、前記半導体デバイス側の面に設けられて前記半導体デバイ  
スの前記デバイス側電極に接続されると共に前記熱可塑性絶縁層により封止され  
た第1電極と、前記第1電極が設けられた面とは異なる面に設けられた第2電極

10 と、を有し、

前記可撓性基板には少なくとも2層以上の配線パターンが形成されていること  
を特徴とする半導体パッケージ。

2. 前記可撓性基板の折り曲げ部又は折り曲げ部を含む領域に、溝又は配線層  
数が少ない部位が形成されていることを特徴とする請求項1に記載の半導体パッ  
15 ケージ。

3. 前記可撓性基板にキャビティが形成され、前記キャビティ部に前記半導体  
デバイスが収容されることを特徴とする請求項2に記載の半導体パッケージ。

4. (補正後) 前記可撓性基板は、折り返されて相互に直接接着された部位を  
含み、この折り返し部により凹部が形成されており、この凹部に前記半導体デバ  
20 イスが配置されていることを特徴とする請求項1に記載の半導体パッケージ。

5. 前記可撓性基板にキャビティが形成され、前記キャビティ部に前記半導体  
デバイスが収容されることを特徴とする請求項1に記載の半導体パッケージ。

6. (補正後) 回路面上に1又は複数のデバイス側電極が形成された半導体デ  
バイスと、

25 配線パターンとこの配線パターンの片面又は両面に設けられた熱可塑性の絶縁  
層とを有し、前記半導体デバイスの周囲で折り曲げられた可撓性基板と、



を有し、

前記可撓性基板は、前記半導体デバイス側の面に設けられて前記半導体デバイ

スのデバイス側電極に接続されると共に前記熱可塑性絶縁層により封止された第1電極と、前記第1電極が設けられた面とは異なる面に設けられた第2電極と、を有し、

5 前記可撓性基板は、折り曲げ部で折り返されて相互に直接接着された部位を含むことを特徴とする半導体パッケージ。

7. (補正後) 前記可撓性基板が折り返されて直接接着された部位により生じる凹部に半導体デバイスを収容することを特徴とする請求項6に記載の半導体パッケージ。

8. (補正後) 前記請求項1乃至7のいずれかに記載の同種又は別種の複数個  
10 の半導体パッケージが、前記電極を介して電氣的に接続されると共に、積層されていることを特徴とする積層型半導体パッケージ。